

DIRETORIA DE ENSINO E PESQUISA – DEP  
DIVISÃO TÉCNICO-PEDAGÓGICA – DTP  
PLANEJAMENTO ESTRUTURADO

FACULDADE DE TECNOLOGIA CENTEC – CARIRI

**TECNOLOGIA EM MANUTENÇÃO INDUSTRIAL**

SEMESTRE:     V    

Unidade Curricular:	<b>ELETRÔNICA DIGITAL</b>	Carga Horária:	<b>80h</b>
Ano: 2026	Período: de 04 de fevereiro a 30 de junho de 2026		
Professor	<b>FLÁVIO MURILO DE CARVALHO LEAL</b>		
Competências:	<ul style="list-style-type: none"><li>• Conhecer e caracterizar as diversas famílias de componentes eletrônicos digitais (circuitos integrados).</li><li>• Interpretar grandezas elétricas em componentes e circuitos eletrônicos digitais.</li><li>• Analisar circuitos eletrônicos digitais.</li><li>• Analisar diagramas em bloco e sintomas de possíveis defeitos e falhas em componente e circuitos eletrônicos digitais.</li><li>• Elaborar e interpretar ensaios e testes em componentes eletrônicos digitais.</li></ul>		
Habilidades:	<ul style="list-style-type: none"><li>• Especificar componentes eletrônicos digitais a partir de catálogos dos fabricantes.</li><li>• Instalar equipamentos eletrônicos digitais.</li><li>• Efetuar manutenção em circuitos e equipamentos eletrônicos digitais</li><li>• Recuperar placas de circuitos impressos para circuitos eletrônicos digitais.</li><li>• Utilizar software dedicado ao desenvolvimento, simulação e confecção de circuitos eletrônicos digitais.</li></ul>		
Bases Tecnológicas	<p>I) sistemas de numeração</p> <p>1- Entender a importância do sistema de numeração decimal, binário, octal e hexadecimal</p> <p>2- Efetuar a conversão entre os sistemas de numeração</p> <p>II) Estudo das funções lógicas e portas lógicas</p> <p>1- Compreender o comportamento das funções lógicas E, OU, NÃO, NÃO E, NÃO OU, OU exclusivo e NÃO OU exclusivo</p> <p>2- Implementação da expressão lógica e tabela verdade a partir do circuito lógico</p> <p>3- Implementação do circuito lógico e construção da tabela verdade a partir da expressão lógica</p> <p>4- Implementação de circuitos lógicos e da expressão lógica a partir da tabela verdade</p> <p>5- Aplicação do método da soma dos produtos</p> <p>6- Efetuar a equivalência entre blocos lógicos</p> <p>III) Álgebra de boole</p> <p>1- Entender e conceituar Álgebra de Boole</p> <p>2- Utilizar e aplicar os postulados e teoremas</p> <p>3- Aplicação das propriedades comutativa, associativa e distributiva</p> <p>4- Simplificação das expressões booleanas</p> <p>5- Elaboração e utilização os diagramas de Veitch-Karnaugh para 2, 3 e 4 variáveis</p> <p>6- Implementação da técnica de eliminação de grupos redundantes</p> <p>IV) Circuitos combinacionais</p> <p>1- Implementação e avaliação dos códigos BCD 8421 e ASCII</p> <p>2- Utilização de codificadores e decodificadores BCD 8421/Decimal</p> <p>3- Utilização de codificadores e decodificadores BCD/Display de 7 segmentos</p> <p>4- Utilização dos comparadores de magnitude de 1 e 2 bits</p> <p>5- Implementação e desenvolvimento de circuitos multiplex e demultiplex</p> <p>6- Implementação de circuitos gerador/verificador de paridade</p> <p>7- Utilização e classificação das memórias RAM, ROM, PROM, EPROM, EEPROM e FLASH.</p> <p>8- Implementação de circuitos aritméticos</p> <p>9- Utilização da unidade lógica e aritmética</p> <p>V) Circuitos sequenciais</p> <p>1- Implementação e funcionamento do flip-flop RS, D, T e JK</p> <p>2- Utilização e aplicação dos registradores de deslocamento</p> <p>3- Implementação e aplicação de contadores assíncronos e síncronos</p> <p>VI) Conversores</p> <p>1- Implementação de conversores digital para analógico</p> <p>2- Implementação de conversores analógico para digital</p> <p>VII) Temporizadores</p> <p>1- Implementação e aplicação dos monoestáveis</p> <p>2- Implementação e aplicação dos biestáveis</p>		

DIRETORIA DE ENSINO E PESQUISA – DEP  
DIVISÃO TÉCNICO-PEDAGÓGICA – DTP  
PLANEJAMENTO ESTRUTURADO

Metodologia:	<p>Serão ministradas aulas teóricas e práticas. A proporção atende ao PPC, sendo 60h/aula teóricas e 20h/aula práticas. As aulas ocorrerão de forma <b>totalmente presencial</b>, podendo as mesmas ocorrerem em formato de visitas técnicas em empresas que ofertarem espaço no decorrer do semestre.</p> <p>Como estratégias para melhor ensino e aprendizagem, além de alguns métodos tradicionais poderão ser utilizadas metodologias ativas de ensino que serão escolhidas a depender do tipo de atividade:</p> <p>Avaliações diagnósticas e de revisão - Quiz (Kahoot ou Plickers); Exercícios - Abstração matemática com jogos. Trabalhos complementares – Pontuação efetiva para as notas.</p> <p><b>OBS: Faltas só serão abonadas quando forem apresentadas justificativas legais, indicadas no Regulamento da Organização Pedagógica (ROP).</b></p>
Bibliografia:	<p><b>BIBLIOGRAFIA BÁSICA:</b> GARCIA, Paulo Alves; MARTINI, José Sidnei Colombo. <b>Eletrônica digital: teoria e laboratório</b>. 2.ed. São Paulo: Érica, 2005. IDOETA, Ivan Valeije; CAPUANO, Francisco Gabriel. <b>Elementos de eletrônica digital</b>. 39.ed. São Paulo: Érica, 2007. PEDRONI, Volnei A. <b>Eletrônica digital moderna e VHDL</b>. São Paulo: Campus, 2010.</p> <p><b>BIBLIOGRAFIA COMPLEMENTAR:</b> HAUPT, Alexandre; DACHI, Édison. <b>Eletrônica digital</b>. 1. ed. São Paulo: Blucher, 2016. E-book. Disponível em: <a href="https://plataforma.bvirtual.com.br">https://plataforma.bvirtual.com.br</a>. Acesso em: 24 ago. 2023. PEREIRA, Fábio. <b>Microcontroladores PIC: técnicas avançadas</b>. 5.ed. São Paulo: Érica, 2011.</p>
Critérios de aprovação	<ul style="list-style-type: none"> <li>A aprovação ou reprovação na disciplina será regida pelo seguinte cálculo de média:  <math display="block">\text{Média} = (N1+N2+N3)/3 \text{ onde,}</math> <math display="block">N1 = AV1*0.8 + TC1*0.2;</math> <math display="block">N2 = AV2*0.8 + TC2*0.2;</math> <math display="block">N3 = AV3*0.8 + TC3*0.2.</math> <p style="text-align: center;">Sendo ainda,            AV1, AV2 e AV3 = Avaliações parciais;            TC1, TC2 e TC3 = Trabalhos Complementares respectivos para cada avaliação.</p> <p>Todas as notas de AV e TC serão atribuídas de 0 a 10 e aplicados os seus respectivos pesos.</p> <p style="text-align: center;"><b>Condições:</b>            Se Média <math>\geq 7</math>, Aluno Aprovado por Média;            Se Média <math>&lt; 4</math>, Aluno Reprovado por Média;            Se Média <math>\geq 4</math> e Média <math>&lt; 7</math>, Aluno em Avaliação Final</p> <math display="block">(\text{Média Final}) MF = (\text{Média} + NF)/2</math> <p style="text-align: center;">Se MF <math>\geq 5</math>, Aluno Aprovado por Média Final;            Se MF <math>&lt; 5</math>, Aluno Reprovado por Média Final</p> </li> <li>Considera-se ainda, para aprovação ou reprovação na disciplina, a frequência registrada por meio de chamada oral ou listas de frequências assinadas pelo discente.</li> </ul> <p style="text-align: center;">Se Freq <math>\geq 75\%</math>, considera-se os cálculos de Média e Média Final normalmente;            Se Freq <math>&lt; 75\%</math>, Aluno Reprovado por Faltas.</p>

DIRETORIA DE ENSINO E PESQUISA – DEP  
DIVISÃO TÉCNICO-PEDAGÓGICA – DTP  
PLANEJAMENTO ESTRUTURADO

Descrição das avaliações e trabalhos	Prova/Trabalho	Metodologia	Pontuação	Conteúdos
	TC1	Individualmente, o discente realizará atividades de conversão de bases, operações binárias e montagem/simulação de portas lógicas, registrando procedimentos, resultados e análises em relatório técnico	0 a 10 pontos	Sistemas de numeração, aritmética binária, portas lógicas e Álgebra de Boole
	AV1	Prova escrita	0 a 10 pontos	
	TC2	Individualmente, o discente desenvolverá um circuito combinacional a partir de um problema proposto, realizando simplificação lógica, diagramação e simulação prática, com entrega de relatório técnico do projeto	0 a 10 pontos	Circuitos combinacionais, mapas de Karnaugh, codificadores, decodificadores, multiplexadores e demultiplexadores
	AV2	Prova escrita	0 a 10 pontos	
	TC3	Individualmente, o discente executará práticas de montagem ou simulação de circuitos sequenciais e contadores, analisando funcionamento, temporização e desempenho, com elaboração de relatório técnico	0 a 10 pontos	Latches, flip-flops, contadores síncronos e assíncronos
	AV3	Prova escrita	0 a 10 pontos	
	<ul style="list-style-type: none"><li>O cronograma detalhado, contendo as datas de cada aula com seus respectivos conteúdos, de avaliações, de solicitação e de entrega de trabalhos complementares, está descrito no quadro a seguir.</li></ul>			

DIRETORIA DE ENSINO E PESQUISA – DEP  
DIVISÃO TÉCNICO-PEDAGÓGICA – DTP  
PLANEJAMENTO ESTRUTURADO

PLANEJAMENTO ESTRUTURADO PARA PERÍODO REMOTO

DIAS	CONTEÚDO MINISTRADO (TEÓRICO / PRÁTICO)
05/02/2026 Quinta (2ha)	Apresentação da disciplina e sistemas de numeração (decimal e octal). <b>Solicitação de TC1.</b>
10/02/2026 Terça (2ha)	Sistemas de numeração (hexadecimal e binário)
12/02/2026 Quinta (2ha)	Aritmética binária (Soma, subtração e multiplicação)
<b>17/02/2026</b> <b>Terça (0ha)</b>	<b>Feriado: Carnaval</b>
19/02/2026 Quinta (2ha)	Aritmética binária (Soma, subtração e multiplicação)
24/02/2026 Terça (2ha)	Portas lógicas (AND, OR e NOT, NOR, NAND e XOR) - Apresentação das Famílias de Circuitos Integrados (TTL e MOS)
26/02/2026 Quinta (2ha)	Portas lógicas (AND, OR e NOT, NOR, NAND e XOR) - Apresentação das Famílias de Circuitos Integrados (TTL e MOS)
03/03/2026 Terça (2ha)	Prática: Portas lógicas OR, AND, NOT, NOR e NAND utilizando circuitos integrados
05/03/2026 Quinta (2ha)	Prática: Portas lógicas OR, AND, NOT, NOR e NAND utilizando circuitos integrados
10/03/2026 Terça (2ha)	Álgebra de Boole: Aplicação de propriedades algébricas (comutativa, associativa e distributiva)
12/03/2026 Quinta (2ha)	Álgebra de Boole: Aplicação de propriedades algébricas (comutativa, associativa e distributiva)
17/03/2026 Terça (2ha)	Revisão para a Primeira Avaliação Parcial (AV1). <b>Prazo para entrega de TC1.</b>
<b>19/03/2026</b> <b>Quinta (0ha)</b>	<b>Feriado estadual: Dia de São José</b>
<b>24/03/2026</b> <b>Terça (0ha)</b>	<b>Feriado municipal: Aniversário do Padre Cícero</b>
<b>26/03/2026</b> <b>Quinta (2ha)</b>	<b>Aplicação da Primeira Avaliação Parcial (AV1)</b>
31/03/2026 Terça (2ha)	Devolutiva da Avaliação e projetos de circuitos lógicos combinacionais (Método de soma-de-produtos). <b>Solicitação de TC2.</b>
<b>02/04/2026</b> <b>Quinta (0ha)</b>	<b>Feriado: Quinta feira santa</b>
07/04/2026 Terça (2ha)	Projetos de circuitos lógicos combinacionais (Método de soma-de-produtos)
09/04/2026 Quinta (2ha)	Projetos de circuitos lógicos combinacionais (Método do mapa de Veitch-Karnaugh)
14/04/2026 Terça (2ha)	Projetos de circuitos lógicos combinacionais (Método do mapa de Veitch-Karnaugh)
16/04/2026 Quinta (2ha)	Circuitos lógicos combinacionais (Codificadores e decodificadores)
<b>21/04/2026</b> <b>Terça (0ha)</b>	<b>Feriado nacional: Tiradentes</b>
23/04/2026 Quinta (2ha)	Circuitos lógicos combinacionais (Codificadores e decodificadores)
28/04/2026 Terça (2ha)	Circuitos lógicos combinacionais (Multiplexadores e demultiplexadores)
30/04/2026 Quinta (2ha)	Circuitos lógicos combinacionais (Multiplexadores e demultiplexadores). <b>Prazo para entrega de TC2.</b>
05/05/2026 Terça (2ha)	Revisão para a Segunda Avaliação Parcial (AV2)
<b>07/05/2026</b> <b>Quinta (2ha)</b>	<b>Aplicação da Segunda Avaliação Parcial (AV2)</b>
12/05/2026 Terça (2ha)	Devolutiva da Avaliação e circuitos lógicos sequenciais (Latch RS). <b>Solicitação de TC3.</b>
14/05/2026 Quinta (2ha)	Circuitos lógicos sequenciais (Flip-flops RS e D)

DIRETORIA DE ENSINO E PESQUISA – DEP  
DIVISÃO TÉCNICO-PEDAGÓGICA – DTP  
PLANEJAMENTO ESTRUTURADO

19/05/2026 Terça (2ha)	Circuitos lógicos sequenciais (Flip-flops JK e T)
21/05/2026 Quinta (2ha)	Prática: Aplicação de latch RS com NE555
26/05/2026 Terça (2ha)	Prática: Aplicação de latch RS com NE555
28/05/2026 Quinta (2ha)	Contadores assíncronos crescentes e decrescentes
02/06/2026 Terça (2ha)	Contadores assíncronos crescentes e decrescentes
<b>04/06/2026</b> <b>Quinta (0ha)</b>	<b>Feriado nacional: Corpus Christi</b>
09/06/2026 Terça (2ha)	Prática: Contadores síncronos
11/06/2026 Quinta (2ha)	Prática: Contadores síncronos. <b>Prazo para entrega de TC3.</b>
16/06/2026 Terça (2ha)	Revisão para a Terceira Avaliação Parcial (AV3)
<b>18/06/2026</b> <b>Quinta (2ha)</b>	<b>Aplicação da Terceira Avaliação Parcial (AV3)</b>
23/06/2026 Terça (2ha)	Reposição de notas
<b>25/06/2026</b> <b>Quinta (2ha)</b>	<b>Aplicação de Avaliação Final (AVF)</b>
30/06/2026 Terça (2ha)	Entrega de resultados

Professor (a): Flávio Murilo de Carvalho Leal

Coordenador (a): Samuel Torres Brasil